

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takashi FUJIMURA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: METHOD OF MANUFACTURING THIN FILM TRANSISTOR, METHOD OF MANUFACTURING  
FLAT PANEL DISPLAY, THIN FILM TRANSISTOR, AND FLAT PANEL DISPLAY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

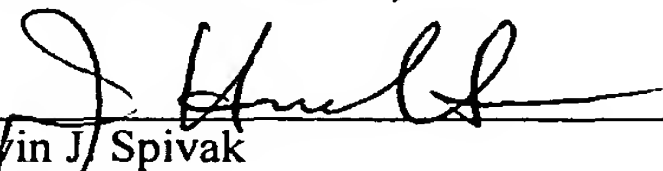
| <u>COUNTRY</u> | <u>APPLICATION NUMBER</u> | <u>MONTH/DAY/YEAR</u> |
|----------------|---------------------------|-----------------------|
| Japan          | 2002-220911               | July 30, 2002         |

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

James D. Hamilton  
Registration No. 28,421



22850

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 7月30日

出 願 番 号  
Application Number:

特願2002-220911

[ ST.10/C ]:

[ JP 2002-220911 ]

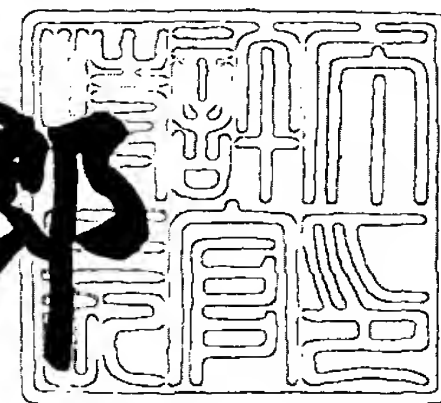
出 願 人  
Applicant(s):

株式会社東芝

2003年 4月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030248

【書類名】 特許願

【整理番号】 13650301

【提出日】 平成14年 7月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 薄膜トランジスタの製造方法、平面表示装置の製造方法  
、薄膜トランジスタ及び平面表示装置

【請求項の数】 7

【発明者】

    【住所又は居所】 埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝 深  
谷工場内

    【氏名】 藤 村 尚

【特許出願人】

    【識別番号】 000003078

    【住所又は居所】 東京都港区芝浦一丁目1番1号

    【氏名又は名称】 株式会社 東 芝

【代理人】

    【識別番号】 100075812

    【弁理士】

    【氏名又は名称】 吉 武 賢 次

【選任した代理人】

    【識別番号】 100088889

    【弁理士】

    【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

    【識別番号】 100082991

    【弁理士】

    【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタの製造方法、平面表示装置の製造方法、薄膜トランジスタ及び平面表示装置

【特許請求の範囲】

【請求項 1】

薄膜トランジスタの製造方法において、  
薄膜トランジスタの半導体領域に不純物を打ち込む工程と、  
この後に、塗布法により絶縁膜を成膜する成膜工程と、  
塗布した前記絶縁膜を焼成することにより、前記不純物の活性化と前記絶縁膜の焼成を 1 つの工程で行う熱処理工程と、  
を備えることを特徴とする薄膜トランジスタの製造方法。

【請求項 2】

前記成膜工程の前に、前記半導体領域からの水素の脱離を防ぐ脱離防止膜を成膜する第 2 成膜工程を、さらに備えることを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 3】

前記脱離防止膜として窒化珪素膜を用いて前記第 2 成膜工程を実施することを特徴とする請求項 2 に記載の薄膜トランジスタの製造方法。

【請求項 4】

薄膜トランジスタの半導体領域と、  
この半導体領域を覆うゲート絶縁膜と、  
このゲート絶縁膜上に形成されたゲートと、  
不純物の打ち込みにより前記半導体領域に形成されたソース・ドレイン領域と

これらを覆うように塗布法により塗布されて焼成された絶縁膜と、  
を備えることを特徴とする薄膜トランジスタ。

【請求項 5】

前記絶縁膜の下地層としての層であって、前記半導体層からの水素の脱離を防ぐ脱離防止膜をさらに備えることを特徴とする請求項 4 に記載の薄膜トランジスタ

タ。

【請求項 6】

薄膜トランジスタを備える平面表示装置の製造方法において、

前記薄膜トランジスタを、

薄膜トランジスタの半導体領域に不純物を打ち込む工程と、

この後に、塗布法により絶縁膜を成膜する成膜工程と、

塗布した前記絶縁膜を焼成することにより、前記不純物の活性化と前記絶縁膜の焼成を 1 つの工程で行う熱処理工程と、

によって製造する

ことを特徴とする平面表示装置の製造方法。

【請求項 7】

薄膜トランジスタを備える平面表示装置であって、

この薄膜トランジスタは、

薄膜トランジスタの半導体領域と、

この半導体領域を覆うゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲートと、

不純物の打ち込みにより前記半導体領域に形成されたソース・ドレイン領域と、

これらを覆うように塗布法により塗布されて焼成された絶縁膜と、

を備えるものとして構成されている

ことを特徴とする平面表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、薄膜トランジスタの製造方法、平面表示装置の製造方法、薄膜トランジスタ及び平面表示装置の製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、多結晶シリコン膜を用いた高精細液晶ディスプレイや周辺回路を同一基板上に形成した駆動回路一体型の液晶表示装置（TFT-LCD）の研究開発が

盛んになっている。

【 0 0 0 3 】

この駆動回路一体型の T F T - L C D の一般的な製造方法は以下の通りである。

【 0 0 0 4 】

まず、T F T のチャネル層を形成するために、基板上に、非晶質シリコン（a - S i）膜を C V D 法を用いて成膜する。T F T の特性を向上させるためにエキシマレーザなどのエネルギービームによって a - S i 膜をアニールして、多結晶シリコン（p - S i）膜とする。この p - S i 膜を、フォトリソグラフィ工程及びエッチング工程を経て任意の形状にパターニングしたのちに、p - S i 膜を覆うようにして、ゲート絶縁膜を、C V D 法により、成膜する。次に、ゲート絶縁膜上にゲート電極となる金属を成膜し、これをパターニングして、ゲート電極とする。次に、ゲート電極をマスクとして、不純物（ボロンもしくはリン）を p - S i 膜に打ち込む。次に、打ち込まれた不純物を熱アニールにより活性化させて、ソース領域とドレイン領域とを形成する。次に、ゲート電極等を覆うようにして、層間絶縁膜を C V D 法により成膜する。次に、層間絶縁膜をエッチングして、ソース領域及びドレイン領域へ通じるコンタクトホールをそれぞれ形成する。次に、信号線等となる金属を成膜、パターニングして、ソース領域及びドレイン領域へのコンタクトホールを通してつながるソース電極及びドレイン電極を形成するとともに、ソース電極と電氣的に接続された信号線等を層間絶縁膜上に形成するなどして、駆動回路一体型の T F T - L C D を完成させる。

【 0 0 0 5 】

【発明が解決しようとする課題】

前記周辺回路の集積度を上げるために、上記信号線等の配線のさらなる微細化が要求される。しかし、特に、T F T 部分は、上記から分かるように、様々な層を積層して形成されており、配線の微細化は、段差部を乗り越える箇所で断線を引き起こす確率を増大させ、歩留の低下を引き起こす。

【 0 0 0 6 】

これに対する対策として、層間絶縁膜をコーターで塗布する方法（塗布法）が



開発されている。この手法によれば層間絶縁膜の表面を平坦化することができるので、配線の下地層の段差部がなくなり、断線を防止することが可能である。しかし、上記塗布法によりコーターを用いて層間絶縁膜を形成する場合には、400℃前後の焼成が必要となる。このため、上記従来技術で述べたところから分かるように、不純物の活性化工程と、本焼成工程と、2つの熱処理工程が必要となる。一般に、熱処理工程では、基板が膨張収縮するため、積層膜中にクラック等が発生する可能性がある。即ち、熱処理工程の増加は、不良発生の機会を増加させることになる。また、当然ながら、生産性の低下に直結する。

## 【 0 0 0 7 】

本発明は、上記問題点に鑑みてなされたものであり、熱工程を増加させることのない薄膜トランジスタの製造方法、平面表示装置の製造方法を提供することを目的とする。さらに、本発明は、クラック等による不良を極力少なくさせた薄膜トランジスタ及び平面表示装置を提供することを目的とする。

## 【 0 0 0 8 】

## 【課題を解決するための手段】

本発明の薄膜トランジスタの製造方法は、薄膜トランジスタの製造方法において、薄膜トランジスタの半導体領域に不純物を打ち込む工程と、この後に、塗布法により絶縁膜を成膜する成膜工程と、塗布した前記絶縁膜を焼成することにより、前記不純物の活性化と前記絶縁膜の焼成を1つの工程で行う熱処理工程と、を備えるものとして構成される。

## 【 0 0 0 9 】

本発明の薄膜トランジスタは、薄膜トランジスタの半導体領域と、この半導体領域を覆うゲート絶縁膜と、このゲート絶縁膜上に形成されたゲートと、不純物の打ち込みにより前記半導体領域に形成されたソース・ドレイン領域と、これらを覆うように塗布法により塗布されて焼成された絶縁膜と、を備えるものとして構成される。

## 【 0 0 1 0 】

本発明の平面表示装置の製造方法は、薄膜トランジスタを備える平面表示装置の製造方法において、前記薄膜トランジスタを、薄膜トランジスタの半導体領域



に不純物を打ち込む工程と、この後に、塗布法により絶縁膜を成膜する成膜工程と、塗布した前記絶縁膜を焼成することにより、前記不純物の活性化と前記絶縁膜の焼成を1つの工程で行う熱処理工程とによって製造するものとして構成される。

#### 【 0 0 1 1 】

本発明の平面表示装置は、薄膜トランジスタを備える平面表示装置であって、この薄膜トランジスタは、薄膜トランジスタの半導体領域と、この半導体領域を覆うゲート絶縁膜と、このゲート絶縁膜上に形成されたゲートと、不純物の打ち込みにより前記半導体領域に形成されたソース・ドレイン領域と、これらを覆うように塗布法により塗布されて焼成された絶縁膜と、を備えることを特徴とする。

#### 【 0 0 1 2 】

##### 【発明の実施の形態】

先ず、本発明の平面表示装置の製造方法によって製造しようとする液晶表示装置について簡単に説明する。

#### 【 0 0 1 3 】

この液晶表示装置は、高精細液晶ディスプレイや周辺回路を同一基板上に形成した駆動回路一体型の液晶表示装置（T F T - L C D）であり、その一例におけるT F T部分が図2（b）に示される。

#### 【 0 0 1 4 】

即ち、絶縁基板1上にアンダーコート層2を介して、チャネル層となる多結晶シリコン膜3 bが形成されている。この多結晶シリコン膜3 bの上方にはゲート絶縁膜4を介してゲート電極5が形成されている。さらに、この多結晶シリコン膜3 bの両側にソース・ドレイン領域3 c、3 dが形成されている。これらソース・ドレイン領域3 c、3 dには、前記ゲート絶縁膜4及び層間絶縁膜6 bを通ずるソース・ドレイン電極8 a、8 bが接続されている。7 a、7 bはコンタクトホールである。

#### 【 0 0 1 5 】

以下、図面を参照しながら、本発明の平面表示装置の製造方法の一実施の形態

を説明する。

【 0 0 1 6 】

図 1 ( a ) - ( c ) 及び図 2 ( a ) 、 ( b ) は、本発明の第 1 の実施形態としての薄膜トランジスタ ( 第 1 の T F T ) の製造工程の断面図である。

【 0 0 1 7 】

この第 1 の T F T は、 T F T - L C D のアレイ基板の各画素部に対応して形成される T F T 、あるいはアレイ基板の周辺回路に作り込まれる T F T である。

【 0 0 1 8 】

以下、第 1 の T F T を製造する工程について詳しく説明する。

【 0 0 1 9 】

まず、図 1 ( a ) から分かるように、例えば、縦 4 0 0 m m × 横 5 0 0 m m の大きさの、無アルカリガラスからなる絶縁基板 1 上にアンダーコート層 2 を形成する。アンダーコート層 2 は、シリコン窒化膜 ( S i N 膜 ) と、シリコン酸化膜 ( S i O <sub>2</sub> 膜 ) とを、プラズマ C V D 法により順次成膜した 2 層構造のものである。次いで、アンダーコート層 2 上に、例えば、 5 0 n m の厚さの非晶質シリコン膜 3 a を形成する。その後、 5 0 0 ° C で 1 時間のアニールを行い、非晶質シリコン膜 3 a 内の水素濃度を低減させる。次いで、例えば、波長 3 0 8 n m ( X e C l ) のエキシマレーザを用いて、非晶質シリコン膜 3 a をアニールして、多結晶シリコン膜 3 b とする。結晶化するためのレーザビームは、 K r F 、 A r F などでもかまわない。

【 0 0 2 0 】

次に、図 1 ( b ) から分かるように、多結晶シリコン膜 3 b を島状にパターニングした後、シリコン酸化膜 ( S i O <sub>2</sub> ) からなるゲート絶縁膜 4 を、多結晶シリコン膜 3 b を覆うようにして、プラズマ C V D 法により成膜する。

【 0 0 2 1 】

次に、図 1 ( c ) から分かるように、隣などをドーピングした多結晶シリコン膜を、ゲート絶縁膜 4 上の全面に成膜してパターニングし、ゲート電極 5 を形成する。また、ゲート電極 5 の形成と同時に、ゲート線や補助容量線なども形成する。ゲート電極 5 の材料としては、多結晶シリコン膜の他、モリブデン ( M o ) やタ

ンタル (T a) 等の高融点金属を用いてもよい。次いで、イオンドーピング法を用いてドーパント (不純物) をゲート電極 5 をマスクとして自己整合的に多結晶シリコン膜 3 b に打ち込んで、ソース・ドレイン領域 3 c、3 d を形成する。次いで、多結晶シリコン膜 3 b のダングリングボンドを終端するべく、プラズマ CVD 法を用いて水素プラズマ処理を行う。

#### 【 0 0 2 2 】

次に、図 2 (a) から分かるように、シリコン原子及び酸素原子 (S i - O) を主成分とする層間絶縁膜 6 a を、ゲート電極 5 を覆うようにして、コーターにより塗布する (塗布法)。層間絶縁膜 6 a としては、有機絶縁材料あるいは無機絶縁材料を用いることができる。この後、多結晶シリコン層 3 b に打ち込まれた不純物を活性化させると同時に、層間絶縁膜 6 a を焼成するべく、例えば、3 5 0、4 0 0、4 5 0、5 0 0℃のいずれかで 1 時間の熱処理を行う。つまり、不純物を活性化させる工程と層間絶縁膜 6 a を焼成する工程とを同一の熱処理にて併せて行う。この焼成温度はイオンドーピングの打ち込み条件に応じて決められる。その理由は、焼成温度が低いほど活性化率が悪くなるためである。このような焼成により、図 2 (b) から分かるように、最終的に、ソース・ドレイン領域 3 c、3 d が形成されるとともに、層間絶縁膜 6 b が焼成形成される。つまり、T F T の形成と層間絶縁膜の形成とが同時に行われる。このようにすることで、1 回の熱処理工程で、つまり、C V D 法を用いる場合と比べても、熱処理工程を増加させることなく、層間絶縁膜を最終的に形成することができる。

#### 【 0 0 2 3 】

次に、図 2 (b) から分かるように、層間絶縁膜 6 b の表面にソース・ドレイン領域 3 c、3 d へのコンタクトホール 7 a 及びコンタクトホール 7 b を形成する。次に、アルミニウム (A l) からなる金属を、スパッタにより、コンタクトホール 7 a、7 b 内に埋め込むと共に、層間絶縁膜 6 b 上に成膜する。この後、この金属の層間絶縁膜 6 b 上に成膜された部分をパターニングする。これによって、図 2 (b) に示すように、コンタクトホール 7 a、7 b を介してソース・ドレイン領域 3 c、3 d につながるソース・ドレイン電極 8 a、8 b が形成される。このとき、当然、信号線等の配線 (図示せず) も層間絶縁膜 6 b 上に形成され

る。

【 0 0 2 4 】

図 3 は、不純物の活性化工程と層間絶縁膜の焼成工程との 2 つの工程を兼ねた熱処理工程を、上述のように、それぞれ 3 5 0 °C、4 0 0 °C、4 5 0 °C、5 0 0 °C の熱処理温度において 1 時間行ったときの、各熱処理温度とシート抵抗との関係を示すグラフである。このグラフは、本発明者による実際の実験結果に基づいて作成されたものである。このグラフの縦軸に表されるシート抵抗値は、前記第 1 の T F T のチャネル部において測定したものであり、低いほどよいのは当然である。なお、上述のように、熱処理温度が低いほど不純物の活性化率が低くなることが予想されるため、それに合わせてイオンドーピングの打ち込み条件を各熱処理温度に対応させそれぞれ変化させている。

【 0 0 2 5 】

図 3 のシート抵抗値を示すグラフ 1 1 D ~ 1 1 A から分かるように、熱処理温度が 5 0 0 °C、4 5 0 °C、4 0 0 °C、3 5 0 °C と低くなるにつれて、シート抵抗は高くなった。ここで、3 5 0 °C の場合は、グラフ 1 1 A に示すように、シート抵抗値が、ほぼ 7 0 0 0 ( $\Omega / \text{cm}^2$ ) 以下となった。これは、十分実用に供し得る値である。このことは、以下のことを示している。即ち、上記不純物の活性化や層間絶縁膜の焼成の熱処理においてクラック等の不良を確実に防ぐには熱処理温度は低いことが望ましい。而して、このような低温の熱処理でも実用に供することのできるシート抵抗値の T F T を得ることができる。なお、不純物打込時におけるイオンドーピングの加速電圧、ゲート絶縁膜 4 の膜厚、その他、多結晶シリコン膜 3 b の膜厚などを最適にすることにより、グラフ 1 1 A に示される 3 5 0 °C の熱処理におけるシート抵抗値をさらに下げることができる。

【 0 0 2 6 】

次に、上記実施の形態の効果を確認するために、比較例を以下に述べる。即ち、不純物を活性化させる工程と層間絶縁膜を焼成する工程の 2 つの熱処理工程とを併せて行わずに、それぞれ別個に行ったときのシート抵抗値を記す。具体的には、イオンドーピング法により多結晶シリコン膜にドーパントを打ち込んだ後、5 0 0 °C で 1 時間、不純物を活性化させる工程を行い、さらに、この後、4 0 0

℃で1時間、層間絶縁膜を焼成する工程を行った。このときのシート抵抗値は約2200 ( $\Omega/\text{cm}^2$ )であった。このことから、本実施形態の効果が確認された。

## 【0027】

以上のように、本発明の第1の実施形態によれば、多結晶シリコン層に打ち込んだ不純物を活性化させる工程と、層間絶縁膜を焼成する工程とを、同一の熱処理工程として1工程で行うようにしたので、各積層膜中においてクラック等の不良が生じるのを可及的に防ぎつつ、塗布法を用いて層間絶縁膜を形成することができる。

## 【0028】

図4及び図5は、本発明の第2の実施形態に係り、異なるTFT（第2のTFT）の製造工程の断面図である。図4、図5において、図1及び図2に示されるのと同部分には同一の符号を付して説明を省略してある。この第2の実施形態が第1の実施形態と異なるところは、上記層間絶縁膜の下地層としてシリコン窒化膜を形成する点にある。

## 【0029】

以下、第2のTFTを製造する工程について詳しく説明する。

## 【0030】

まず、図4（a）は、前述の図1（c）と同じ工程を示す。即ち、第1の実施形態における図1（a）、（b）の工程を経て、図4（a）に示すように、ゲート電極5をマスクとして自己整合的に多結晶シリコン層3bに不純物を打ち込み、ソース・ドレイン領域を形成する。

## 【0031】

次に、図4（b）から分かるように、多結晶シリコン膜3bのダングリングボンドを終端するべく、プラズマCVD法を用いて水素プラズマ処理を行う。その後、図4（b）に示すように、ゲート電極5を覆うようにしてシリコン窒化膜（SiN膜）15を例えば200nm成膜する。

## 【0032】

次に、図4（c）から分かるように、シリコン窒化膜15上の全面に亘って層



間絶縁膜 1 6 a を塗布する。この後、多結晶シリコン層 3 b に打ち込まれた不純物を活性化させる工程と、層間絶縁膜 1 6 a を焼成する工程とを、同一工程として行うべく 4 0 0 °C - 1 時間の熱処理を行う。これによって、図 5 に示すように、多結晶シリコン層 3 b にソース・ドレイン領域 3 c、3 d が最終的に形成されるとともに、層間絶縁膜 1 6 b が最終的に焼成形成される。

## 【 0 0 3 3 】

この後は、第 1 の実施形態と同様にして、図 5 に示すように多結晶シリコン T F T が得られる。即ち、図 5 から分かるように、層間絶縁膜 1 6 b をエッチングし、ソース・ドレイン領域 3 c、3 d へのコンタクトホール 1 7 a、1 7 b とをそれぞれ形成する。次いで、アルミニウムからなる、ソース・ドレイン電極 1 8 a、1 8 b を形成する。

## 【 0 0 3 4 】

図 6 は、本発明者が実際に、この第 2 の実施形態によって製造した第 2 の T F T と、上記第 1 の実施形態によって製造した第 1 の T F T のそれぞれにおけるオン電流値（ドレイン電流値）を示したグラフである。ちなみに、オン電流値は大きいほどよいのは当然である。

## 【 0 0 3 5 】

図 6 のグラフ 2 0 a に示すように、シリコン窒化膜を有する第 2 の T F T のオン電流値  $1.2 \times 10^{-4}$  (A) は、グラフ 2 0 b に示されるシリコン窒化膜を有さない第 1 の T F T のオン電流値  $1.0 \times 10^{-4}$  (A) よりも大きい。この理由は以下の通りである。

## 【 0 0 3 6 】

即ち、図 2 (b) から分かるように、層間絶縁膜 6 b の下に、つまり多結晶シリコン膜 3 b 上にシリコン窒化膜が形成されていないときは、多結晶シリコン膜 3 b のダングリングボンドを終端している水素が、上記 4 0 0 °C の焼成アニール（熱処理工程）において脱離してしまう。即ち、多結晶シリコン膜 3 b のダングリングボンドを終端している水素が、上層の層間絶縁膜 6 b を介して外部へ離脱してしまう。これにより、チャネル中を移動する電子が途中でトラップされ、オン電流が低下すると考えられる。

## 【 0 0 3 7 】

一方、図 5 から分かるように、多結晶シリコン膜 3 b 上にシリコン窒化膜 1 5 が形成されているときは、シリコン窒化膜 1 5 がキャップ層として多結晶シリコン膜 3 b 中の水素を脱離させないように機能する。さらに、シリコン窒化膜 1 5 には膜中に多くの水素が含まれており、この水素が多結晶シリコン膜 3 b に拡散して、多結晶シリコン膜 3 b のダングリングボンドをさらに終端する。それ故、シリコン窒化膜を有している第 2 の T F T は、シリコン窒化膜を有していない第 1 の T F T に比べて、多結晶シリコン層 3 b 中を移動させられている電子が上記ダングリングボンドによってトラップされにくくなる。即ち、図 6 から分かるように、第 2 の T F T の方が第 1 の T F T よりもオン電流値が大きくなる。

## 【 0 0 3 8 】

以上のように、本発明の第 2 の実施形態によれば、多結晶シリコン層と層間絶縁膜との間にキャップ層としてのシリコン窒化膜を設けたので、多結晶シリコン層中から、ダングリングボンドを終端している水素が脱離するのを防ぐことができる。また、シリコン窒化膜中に含まれる水素が多結晶シリコン層に拡散するので、これにより多結晶シリコン層のダングリングボンドを一層に終端することができ、これにより、オン電流値の大きな T F T を形成することができる。

## 【 0 0 3 9 】

上記本発明の第 1 の実施形態及び本発明の第 2 の実施形態においては、本発明の平面表示装置の製造方法を液晶表示装置に適用する例を示したが、有機 E L 表示装置にも適用することができる。

## 【 0 0 4 0 】

## 【発明の効果】

本発明によれば、半導体層に打ち込んだ不純物の活性化と、塗布された層間絶縁膜の焼成とを 1 つの熱処理工程によって併せて行うようにしたので、全体としての熱処理工程を減少させることができ、これにより、基板上の各積層膜中にクラック等の不良の発生を極力抑制しつつ、塗布法による層間絶縁膜を形成することができる。

## 【図面の簡単な説明】



【図 1】

本発明の一実施の形態としての第 1 の T F T の製造工程の途中までを示す断面図である。

【図 2】

本発明の一実施の形態としての、図 1 に続く第 1 の T F T の製造工程を示す断面図である。

【図 3】

不純物の活性化と層間絶縁膜の焼成とを、1 つの熱処理工程により行ったときの、熱処理温度とシート抵抗との関係を示すグラフである。

【図 4】

本発明の別の実施の形態としての第 2 の T F T の製造工程を途中まで示す断面図である。

【図 5】

本発明の前記別の実施の形態としての、図 4 に続く第 2 の T F T の製造工程を示す断面図である。

【図 6】

前記第 1 の T F T と前記第 2 の T F T とのそれぞれのオン電流値を比較して示したグラフである。

【符号の説明】

- 1 絶縁基板
- 2 アンダーコート層
- 3 a 非結晶シリコン膜
- 3 b 多結晶シリコン膜
- 3 c、3 d ソース・ドレイン領域
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 a、1 6 a 層間絶縁膜
- 6 b、1 6 b 層間絶縁膜
- 7 a、7 b、1 7 a、1 7 b コンタクトホール

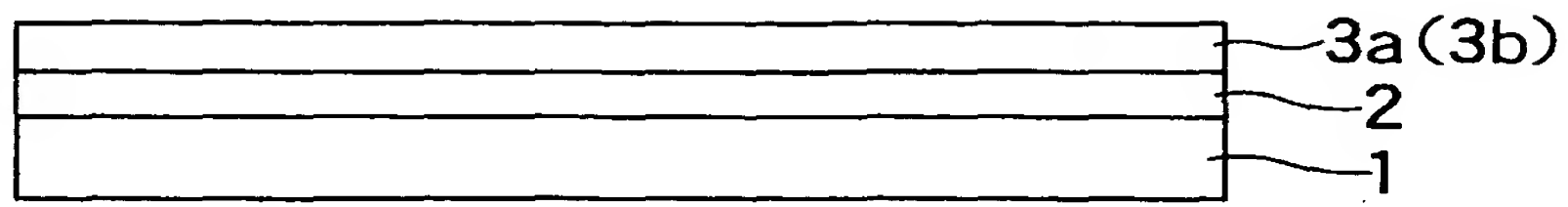
8 a、 1 8 a ソース・ドレイン電極

8 b、 1 8 b ソース・ドレイン電極

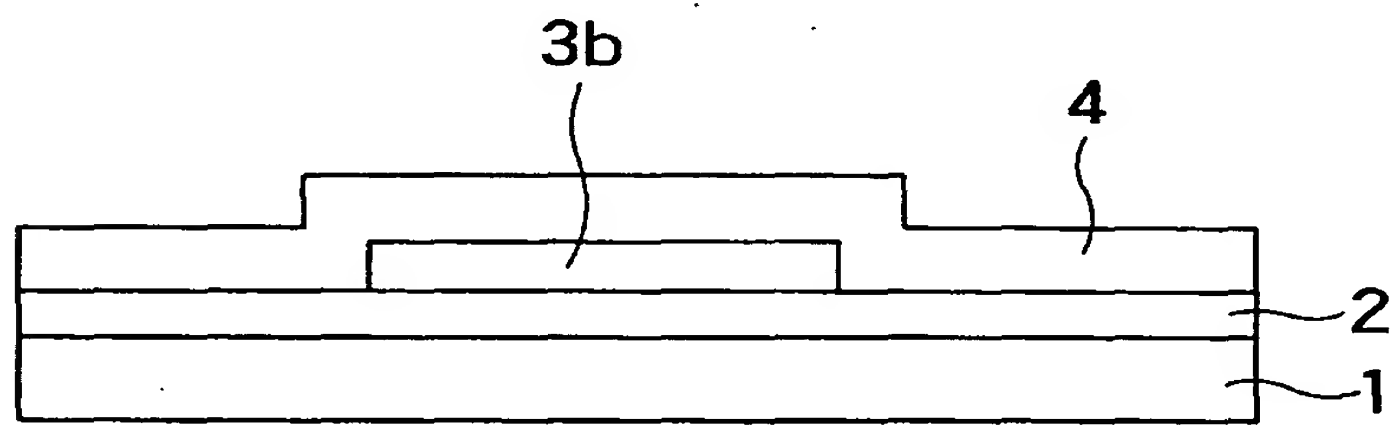
1 5 シリコン窒化膜

【書類名】 図面

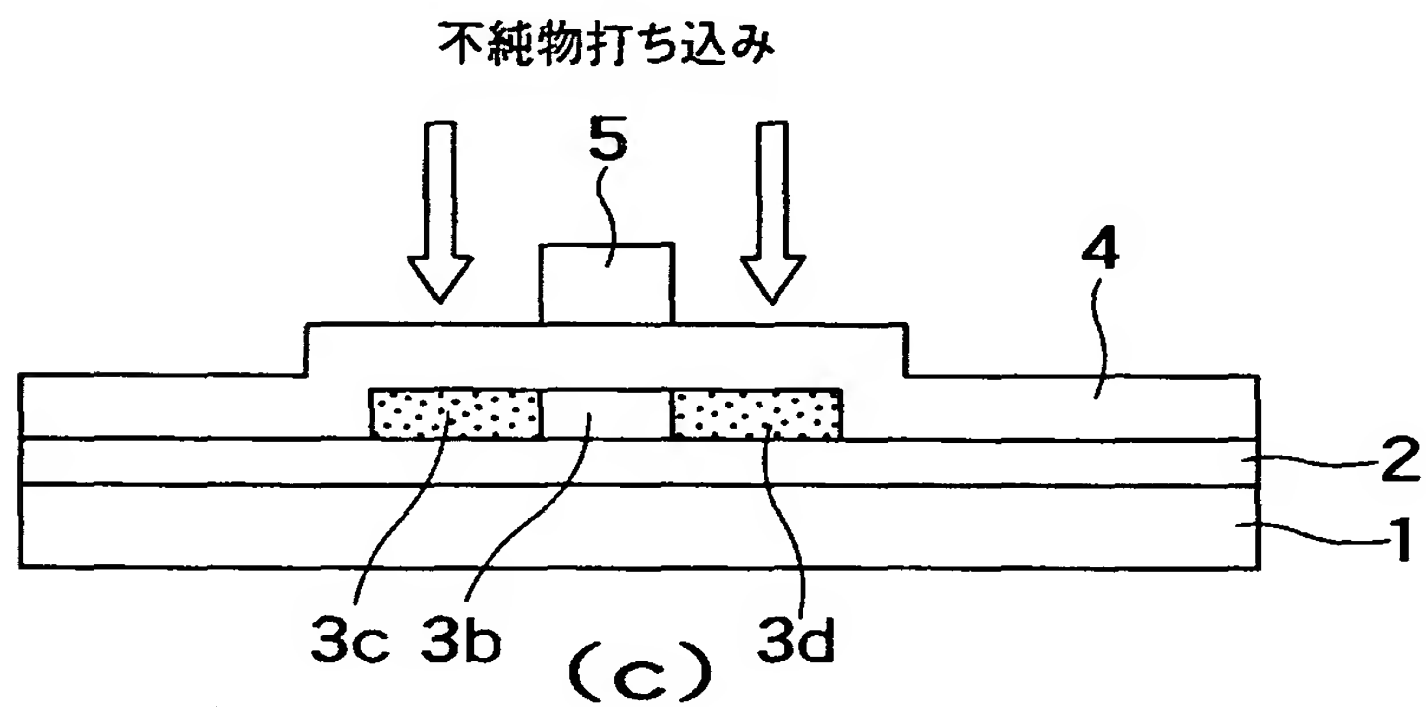
【図 1】



(a)

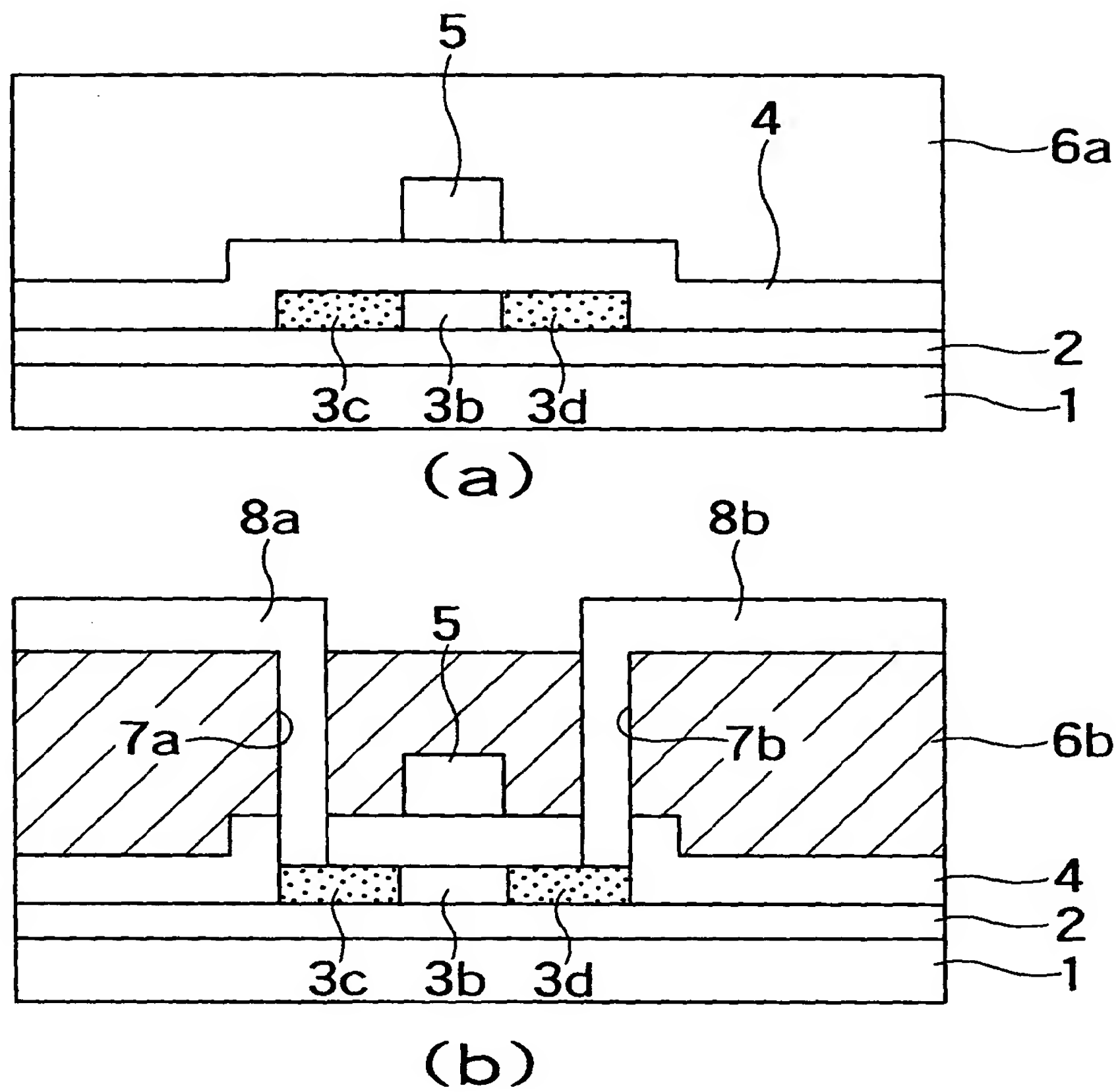


(b)

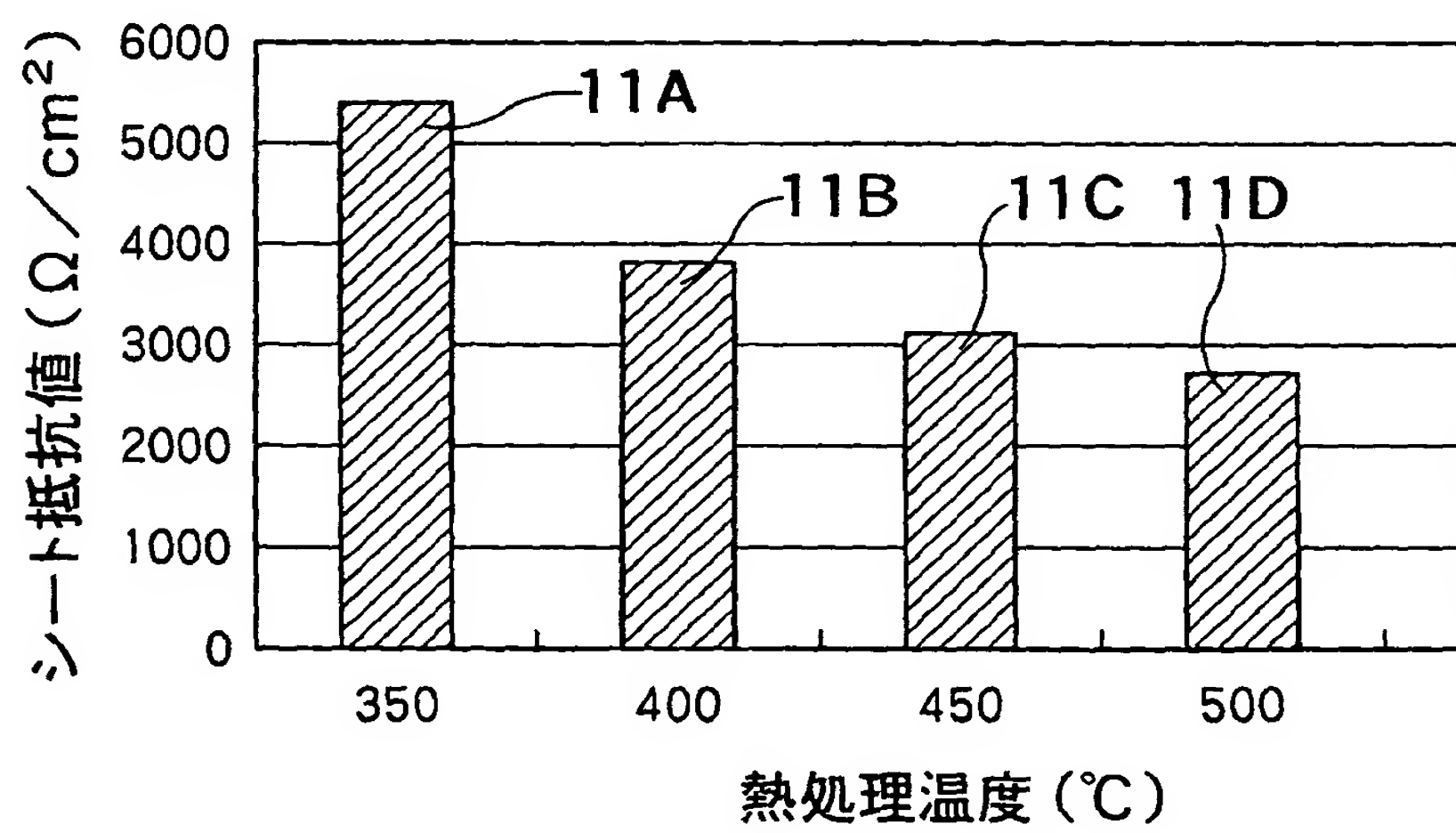


(c)

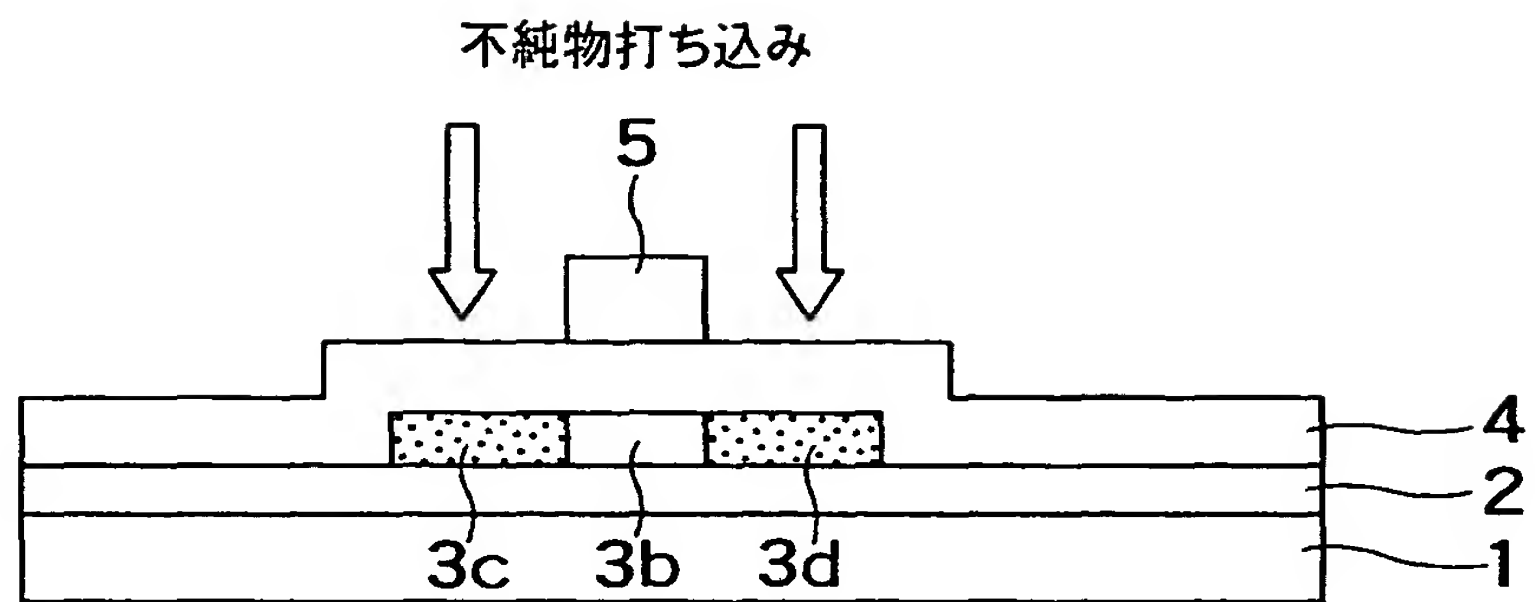
【図 2】



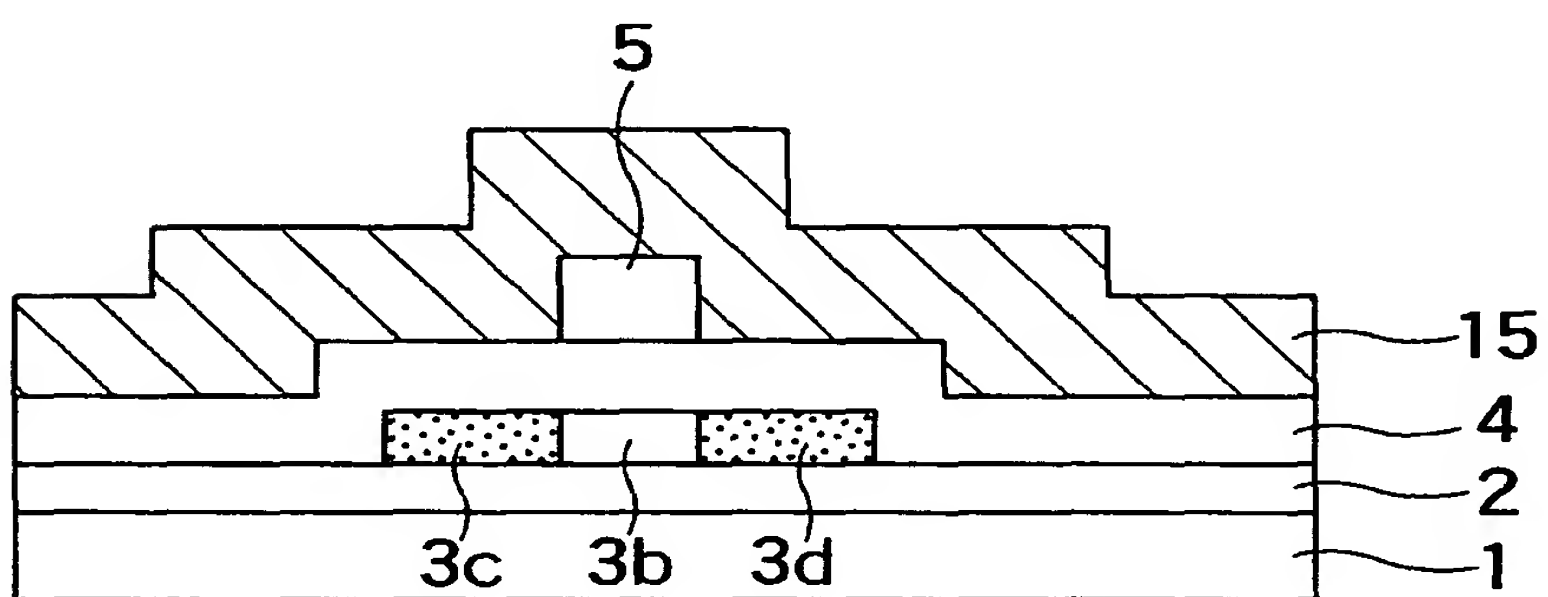
【図 3】



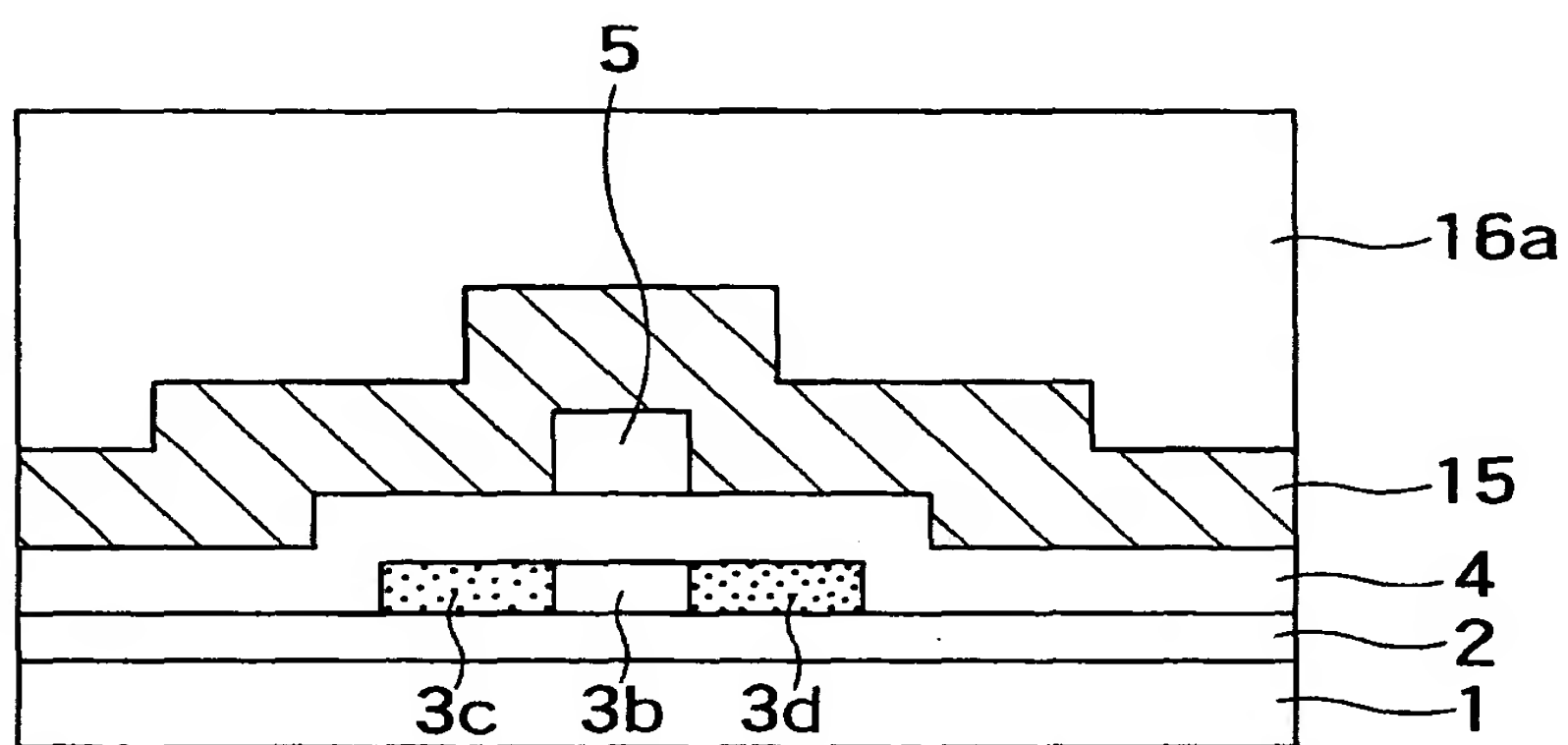
【図 4】



(a)

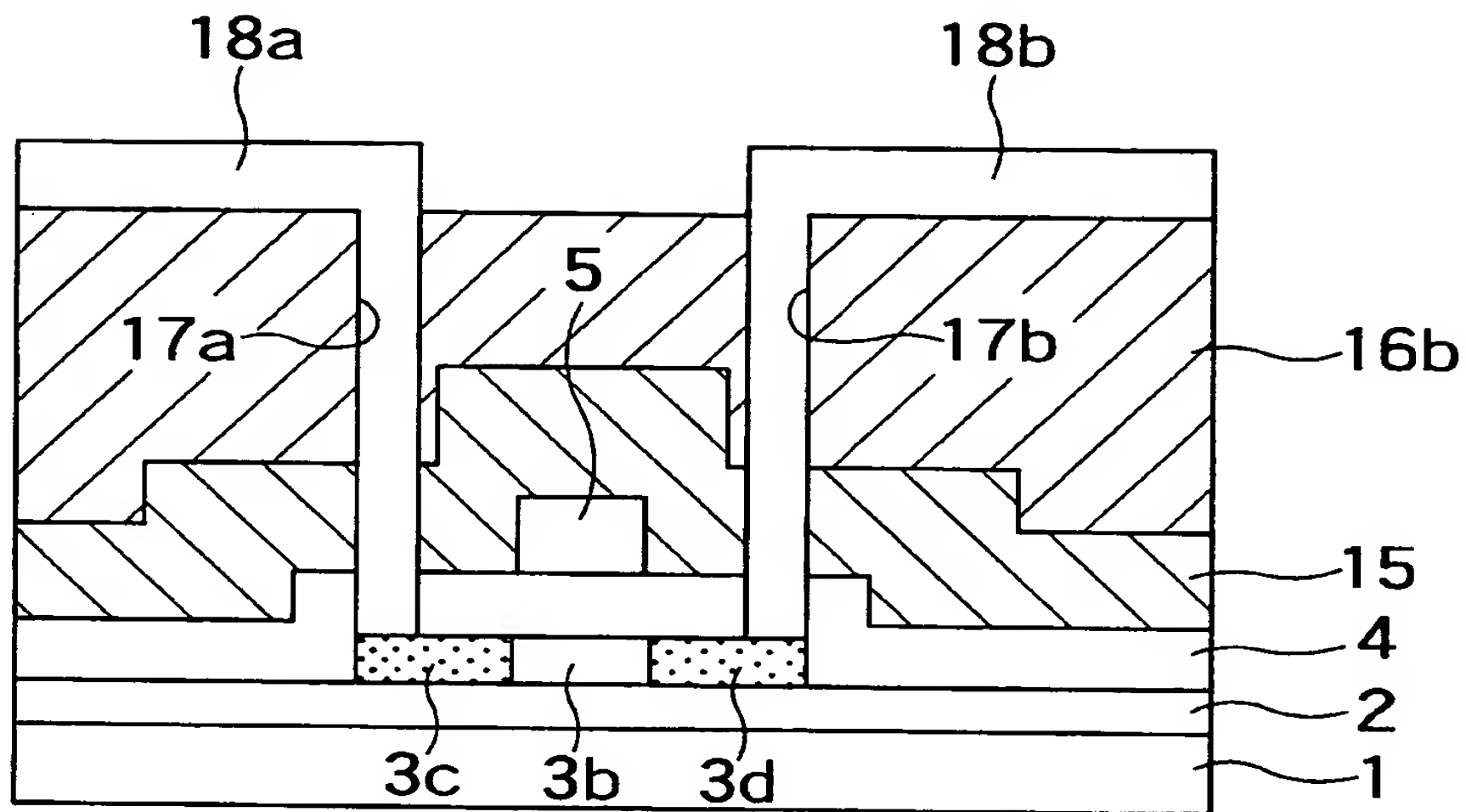


(b)

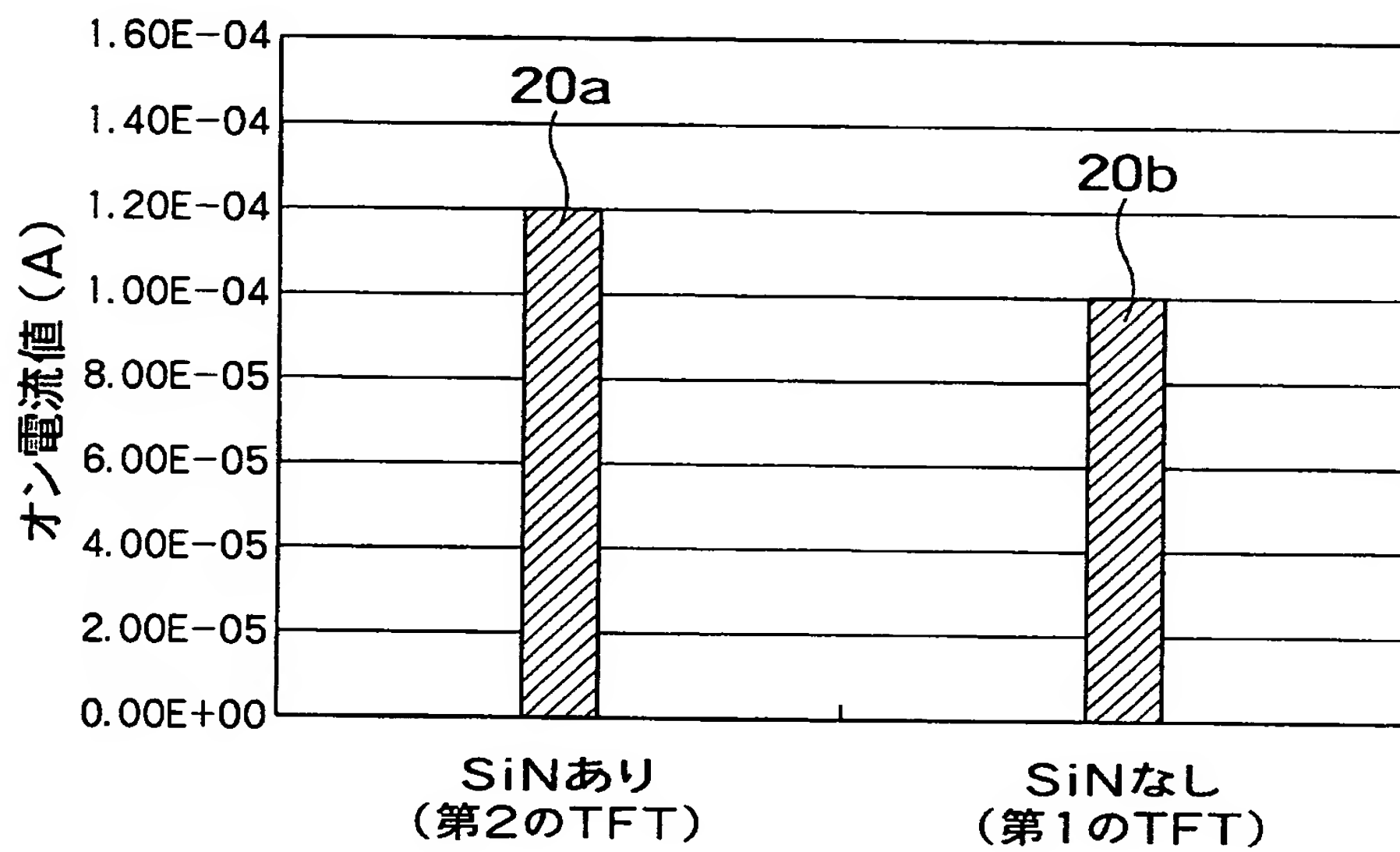


(c)

【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 熱工程を増加させることなく薄膜トランジスタ及び平面表示装置を製造する。また、クラック等による不良を極力少なくさせた薄膜トランジスタ及び平面表示装置を提供する。

【解決手段】 薄膜トランジスタの半導体領域に不純物を打ち込み、この後に、塗布法により絶縁膜を成膜し、前記不純物の活性化と前記絶縁膜の焼成を1つの熱処理工程として行って薄膜トランジスタ及び平面表示装置を製造する。また、薄膜トランジスタの半導体領域と、この半導体領域を覆うゲート絶縁膜と、このゲート絶縁膜上に形成されたゲートと、不純物の打ち込みにより前記半導体領域に形成されたソース・ドレイン領域と、これらを覆うように塗布法により塗布されて焼成された絶縁膜と、を備えるものとして薄膜トランジスタを構成する。また、このような薄膜トランジスタを備えるものとして平面表示装置を構成する。

【選択図】 図2



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日 2 0 0 1 年 7 月 2 日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目 1 番 1 号  
氏 名 株式会社東芝